

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

## ⑫ 公開特許公報(A) 平3-248568

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

④ 公開 平成3年(1991)11月6日

H 01 L 29/784  
21/32059056-5F H 01 L 29/78 3 1 1 A  
6810-5F 21/88 M

審査請求 未請求 請求項の数 2 (全12頁)

⑤ 発明の名称 薄膜半導体装置

⑥ 特 願 平2-44633

⑦ 出 願 平2(1990)2月27日

⑧ 発 明 者 曳 地 丈 人 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社  
海老名事業所内⑨ 発 明 者 山 本 滋 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社  
海老名事業所内⑩ 発 明 者 浅 井 市 郎 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社  
海老名事業所内⑪ 出 願 人 富士ゼロックス株式会 東京都港区赤坂3丁目3番5号  
社

⑫ 代 理 人 弁理士 中村 智 廣 外2名

## 明 細 書

## 1. 発明の名称

## 薄膜半導体装置

## 2. 特許請求の範囲

## (1) 絶縁性基板と、

この絶縁性基板に設けられた半導体層と、  
少なくともその一部を上記絶縁性基板上に面接  
触させて設けられた第一配線部材、

とを備える薄膜半導体装置において、

上記第一配線部材を、

体心立方格子構造を有し、かつ、 $\alpha$ -タンタル  
とその格子定数が同一又は近似の導電性材料によ  
り形成された基板側配線基部と、

この基板側配線基部上に積層されたタンタルに  
より形成された積層配線部、

とで構成したことを特徴とする薄膜半導体装置。

(2) 同一の絶縁性基板上に薄膜半導体素子とアク  
ティブマトリックス配線回路とを備え、

上記絶縁性基板上に面接触させて設けられた薄  
膜半導体素子の一部を構成する基板側電極と上記

アクティブマトリックス配線回路の第一信号配線  
とが同一の配線部材で形成されている薄膜半導体  
装置において、

上記アクティブマトリックス配線回路の第一信  
号配線を、

体心立方格子構造を有し、かつ、 $\alpha$ -タンタル  
とその格子定数が同一又は近似の導電性材料によ  
り形成された基板側配線基部と、

この基板側配線基部上に積層されたタンタルに  
より形成された中間積層配線部と、

この中間積層配線部上に積層されたタンタルに  
より形成された最上積層配線部、

とで構成する一方、

上記薄膜半導体素子の基板側電極を、

第一信号配線の最上積層配線部と一体的に形成  
されたタンタルの単一薄層で構成したことを特徴  
とする薄膜半導体装置。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、アクティブマトリックス型ディスプレイ

レイ、イメージセンサ、プリントヘッド等の駆動用に利用される薄膜半導体装置に係り、特に、動作スピードの高速化が図れる薄膜半導体装置の改良に関するものである。

〔従来の技術〕

この種の薄膜半導体装置として、以下、MOS型の薄膜トランジスタを例に挙げて説明すると、このMOS型の薄膜トランジスタとしては、第10図～第11図に示すようにガラス基板(g)と、このガラス基板(g)上に形成されたゲート電極(gt)と、このゲート電極(gt)を被覆するゲート絶縁膜(h)と、このゲート絶縁膜(h)上に積層されたたアモルファスシリコン製の第一半導体層(j)と、この第一半導体層(j)上に設けられた保護膜(k)と、 $n^+$ -アモルファスシリコン製の第二半導体層(m)を介して上記第一半導体層(j)の両端側に設けられたソース電極(st)、ドレイン電極(dt)等でその主要部を構成する『逆スタガー型』と称するものや、第12図～第13図に示すようにガラス基板(g)と、この

ガラス基板(g)上に設けられたアモルファスシリコン製の第一半導体層(j)と、 $n^+$ -アモルファスシリコン製の第二半導体層(m)を介して上記第一半導体層(j)の両端側に設けられたソース電極(st)、ドレイン電極(dt)と、これ等ソース電極(st)・ドレイン電極(dt)に接続された信号配線(n)と、上記第一半導体層(j)を被覆するゲート絶縁膜(h)と、このゲート絶縁膜(h)上に設けられたゲート電極(gt)等でその主要部を構成する『スタガー型』と称するもの等が知られている。

そして、これ等MOS型の薄膜トランジスタにおいては、上記ソース電極(st)・ドレイン電極(dt)間にドレイン電圧( $V_o$ )を印加し、かつ、ゲート電極(gt)にゲート電圧( $V_g$ )を印加することで上記第一半導体層(j)にチャンネルが形成されトランジスタはON状態となってドレイン電流( $I_o$ )が流れる一方、上記ゲート電圧( $V_g$ )を下げていくに従い第一半導体層(j)にチャンネルが形成されなくなりトランジスタは

OFF状態になってドレイン電流( $I_o$ )が流れなくなるもので、上述したアクティブマトリックス型ディスプレイやイメージセンサ等の駆動用に利用されているものである。

〔発明が解決しようとする課題〕

ところで、この種の薄膜半導体装置を製造する際において、最初に形成されるゲート電極(gt)、ソース電極(st)・ドレイン電極(dt)、並びに信号配線(n)等の第一配線部材については、上記ガラス基板(g)等絶縁性基板との密着性に優れ、しかも、後工程における加熱処理において変質し難い耐熱性を具備した導電性材料でこれを構成することを要とし、従来、タンタル(Ta)、モリブデン(Mo)、チタン(Ti)、及び、クロム(Cr)等の高融点金属材料が利用されており、特に、これ等材料群の中でその耐食性が優れしかも腐蝕酸化膜の形成に伴い耐圧を向上できるタンタルが広く利用されている。

しかし、ガラス基板等の絶縁性基板上にスパッタリング法にてタンタルの薄膜を形成した場合、

このタンタル薄膜は正方格子(tetragonal)構造を有する抵抗値の高い $\beta$ -タンタルとなる欠点があり、その電気抵抗に基づく信号の遅れが顕著になって半導体装置における動作スピードの高速化を図る上で大きな問題となっている。

そこで、この $\beta$ -タンタルより導電率の優れたTa-W、Ta-Mo等タンタル合金が一部において利用されているが、このタンタル合金をゲート電極等に適用した場合、腐蝕酸化膜を形成してもその耐圧向上に寄与しない問題点があり、更に、 $\alpha$ -タンタルに較べて導電率も劣る問題点があった。

〔課題を解決するための手段〕

本発明は、以上の問題点に着目してなされたもので、その課題とするところは、 $\beta$ -タンタルやタンタル合金に較べてその抵抗値が低い $\alpha$ -タンタルの絶縁性基板面への着膜を可能にすることにより、動作スピードの高速化が図れる薄膜半導体装置を提供することにある。

すなわち、請求項1に係る発明は、絶縁性基板と、

この絶縁性基板に設けられた半導体層と、  
少なくともその一部を上記絶縁性基板上に面接触させて設けられた第一配線部材、  
とを備える薄膜半導体装置を前提とし、

上記第一配線部材を、  
体心立方格子構造を有し、かつ、 $\alpha$ -タンタルとその格子定数が同一又は近似の導電性材料により形成された基板側配線基部と、

この基板側配線基部上に積層されたタンタルにより形成された積層配線部、  
とで構成したことを特徴とするものであり、  
一方、請求項2に係る発明は、

同一の絶縁性基板上に薄膜半導体素子とアクティブマトリックス配線回路とを備え、

上記絶縁性基板上に面接触させて設けられた薄膜半導体素子の一部を構成する基板側電極と上記アクティブマトリックス配線回路の第一信号配線とが同一の配線部材で形成されている薄膜半導体装置を前提とし、

上記アクティブマトリックス配線回路の第一信

号配線を、

体心立方格子構造を有し、かつ、 $\alpha$ -タンタルとその格子定数が同一又は近似の導電性材料により形成された基板側配線基部と、

この基板側配線基部上に積層されたタンタルにより形成された中間積層配線部と、  
この中間積層配線部上に積層されたタンタルにより形成された最上積層配線部、  
とで構成する一方、

上記薄膜半導体素子の基板側電極を、  
第一信号配線の最上積層配線部と一体的に形成されたタンタルの単一層で構成したことを特徴とするものである。

このような請求項1～2に係る発明において上記絶縁性基板を構成する材料としては、従来と同様に、ガラス、石英、セラミックス等が利用でき、また、この絶縁性基板に設けられる半導体層を構成する材料としては、ポリシリコンやアモルファスシリコン (a-Si:H) 等が利用できる。

また、請求項1～2に係る発明においては、上

記絶縁性基板上に基板側配線基部を形成することにより $\alpha$ -タンタルの着膜を可能にしたものであるが、この基板側配線基部を構成する導電性材料、すなわち、体心立方格子構造を有し、かつ、 $\alpha$ -タンタルとその格子定数が同一又は近似の導電性材料としては、TaMo (タンタルモリブデン) 合金、TaW (タンタルタングステン) 合金等が適用できる他、上記積層配線部又は中間積層配線部としてのタンタルと反応して上記TaMo合金やTaW合金等を形成し、それ自身、体心立方格子構造を有するMo (モリブデン)、W (タングステン) 等も適用することができる。

尚、上記モリブデン等を適用する場合、以下の点に配慮する必要がある。すなわち、請求項1に係る発明の第一配線部材がゲート電極である場合に、基板側配線基部としてのモリブデン又はタングステンが残留していると、このモリブデン等は酸化され難い性質を有しているためゲート電極を陽極酸化してその耐圧を上げようとする際に弊害を生ずる危険性がある。従って、積層配線部とし

てのタンタルを着膜した際に、基板側配線基部としてのモリブデン又はタングステンの大半がTaMo又はTaWになる程度の薄膜にすることが要である。

そして、上記基板側配線基部上に積層配線部又は中間積層配線部としてのタンタルをスパッタリング法により連続して着膜させると、このタンタルが基板側配線基部の体心立方格子構造 (bcc ... body-centered cubic lattice) を受け継いで成長をし、体心立方格子構造を有する低抵抗の低い $\alpha$ -タンタルとしての皮膜になるものである。

因みに、McGraw-Hill Book Company社発行の『Handbook of Thin Film Technology』から正方格子構造を有する $\beta$ -タンタルと、体心立方格子構造 (bcc) を有する $\alpha$ -タンタルの比抵抗 ( $\mu\Omega \cdot \text{cm}$ ) のデータをみると、 $\beta$ -タンタルは  $180 \sim 220 \mu\Omega \cdot \text{cm}$  であるのに対し、 $\alpha$ -タンタルは  $25 \sim 50 \mu\Omega \cdot \text{cm}$  であり、この $\alpha$ -タンタルはバルク ( $13 \mu\Omega \cdot \text{cm}$ ) と同程度に低い値を示していることが分かる。

尚、請求項1に係る発明において第一配線部材とは、薄膜半導体装置の製造工程中において最初に形成され、少なくともその一部が絶縁性基板と面接触して設けられる配線部材を意味し、例えば、上記「逆スタガー型」トランジスタにおけるゲート電極や、「スタガー型」トランジスタにおけるソース電極・ドレイン電極、並びに信号配線等がこれに相当し、また、バイポーラ型の薄膜トランジスタにおいて最初に形成される配線部材等もこれに相当する。

次に、請求項2に係る発明は、同一の絶縁性基板上に薄膜半導体素子とアクティブマトリックス配線回路とを備え、上記絶縁性基板上に面接触させて設けられた薄膜半導体素子の一部を構成する基板側電極と上記アクティブマトリックス配線回路の第一信号配線とが同一の配線部材で形成されている薄膜半導体装置において、

上記アクティブマトリックス配線回路の第一信号配線を、基板側配線基部と、共に $\alpha$ -タンタルで形成された中間覆層配線部並びに最上覆層配線

部と構成すると共に、

上記薄膜半導体素子の基板側電極を、第一信号配線の最上覆層配線部と一体的に形成されたタンタルの単一薄層で構成し、

厚い膜厚の $\alpha$ -タンタルで第一信号配線を構成することによりその低抵抗化を図って動作スピードを進める一方、

基板側電極を上記最上覆層配線部と一体的に形成されたタンタルの単一薄層で構成することでその薄膜化を図り、ゲートドレイン間のブレイクダウンを防止できるようにしたものである。

そして、上記第一信号配線と基板側電極の形成方法としては、例えば、絶縁性基板上の第一信号配線及び基板側電極形成部位に上記基板側配線基部と中間覆層配線部を先ず形成し、次いで、リアクティブ・イオン・エッチング(RIE)やケミカルドライエッチング(CDE)等のドライエッチング手段により上記第一信号配線用の基板側配線基部と中間覆層配線部のみを残して基板側電極用の基板側配線基部と中間覆層配線部を除去する。

次に、スパッタリングと上記エッチング手段により薄膜の最上覆層配線部とタンタルの単一薄層を一体的に成膜し、第一信号配線と基板側電極とを形成することができる。

尚、請求項2に係る発明において上記基板側電極とは、請求項1に係る発明と同様に、薄膜半導体装置の製造工程中において最初に形成され、少なくともその一部が絶縁性基板と面接触して設けられる電極を意味し、例えば、上記「逆スタガー型」トランジスタにおけるゲート電極や、「スタガー型」トランジスタにおけるソース電極・ドレイン電極がこれに相当し、また、第一信号配線とは薄膜半導体装置の製造工程中において最初に形成され、少なくともその一部が絶縁性基板と面接触して設けられる信号配線を意味する。

〔作用〕

請求項1に係る発明によれば、

第一配線部材を、

体心立方格子構造を有し、かつ、 $\alpha$ -タンタルとその格子定数が同一又は近似の導電性材料によ

り形成された薄膜の基板側配線基部と、

この基板側配線基部上に覆層されたタンタルにより形成された覆層配線部、

とで構成していることから、

基板側配線基部上に覆層された覆層配線部が、上記基板側配線基部の体心立方格子構造を受け継いで成長をし、抵抗値の低い体心立方格子構造を有する $\alpha$ -タンタルで構成されることとなるため、上記絶縁性基板上に面接触されて設けられた第一配線部材の導電率を向上させることが可能となり、

また、請求項2に係る発明によれば、

アクティブマトリックス配線回路の第一信号配線を、

体心立方格子構造を有し、かつ、 $\alpha$ -タンタルとその格子定数が同一又は近似の導電性材料により形成された薄膜の基板側配線基部と、

この基板側配線基部上に覆層されたタンタルにより形成された中間覆層配線部と、

この中間覆層配線部上に覆層されたタンタルにより形成された最上覆層配線部、

とで構成する一方、

上記薄膜半導体素子の基板側電極を、

第一信号配線の最上積層配線部と一体的に形成されたタンタルの単一薄層で構成しており、

基板側配線基部上に積層された第一信号配線の中間積層配線部と最上積層配線部とが、上記基板側配線基部の体心立方格子構造を受け継いで成長をし、抵抗値の低い体心立方格子構造を有する $\alpha$ -タンタルで構成されることとなり、かつ、中間積層配線部と最上積層配線部とで構成される分その厚みも増すため、上記アクティブマトリックス配線回路における第一信号配線の導電率をより向上させることが可能となる。

(実施例)

以下、本発明の実施例について図面を参照して詳細に説明する。

#### ◎第一実施例

この実施例は請求項1に係る発明を『逆スタガー型』の薄膜トランジスタに適用したもので、第1図～第2図に示すようにガラス基板(1)と、

が構成されているものである。

また、上記ゲート電極(20)並びに第一信号配線(30)は、厚さ300ÅのTaMo製基板側配線基部(2)と、この基板側配線基部(2)上に積層された厚さ700Åのタンタル製積層配線部(3)とで構成されており、第3図(A)～(C)に示す製造工程に従って形成されているものである。

すなわち、第3図(A)に示すようにガラス基板(1)上に、体心立方格子構造を有しかつ $\alpha$ -タンタルとその格子定数が近似する厚さ300ÅのTaMo合金(TaMo)をスパッタリング法により着膜し、更に、この上にタンタルを連続的に着膜し最終的に700Å厚のタンタルを着膜すると、このタンタルは上記TaMo合金(TaMo)の体心立方格子構造を受け継いで成長をし、第3図(B)に示すようにTaMo合金(TaMo)と $\alpha$ -タンタル( $\alpha$ )の積層膜(31)となる。

そして、上記積層膜(31)のゲート電極形成部位と第一信号配線形成部位にのみ図示外のレジストを形成し、C、F、系のエッチング材を用いたド

このガラス基板(1)上に面接触させて設けられたゲート電極(20)及び第一信号配線(30)と、上記ゲート電極(20)を被覆するSi<sub>3</sub>N<sub>4</sub>製のゲート絶縁膜(4)と、このゲート絶縁膜(4)上に形成されたアモルファスシリコン(a-Si:H)製の第一半導体層(5)と、この第一半導体層(5)上のゲート電極(20)に相当する部位に設けられたSi<sub>3</sub>N<sub>4</sub>製のトップ絶縁膜(6)と、上記第一半導体層(5)上に設けられオーミックコンタクト用のn<sup>+</sup>-アモルファスシリコン製第二半導体層(70)とこの第二半導体層(70)上に設けられCr、Mo、Ti、Ta、W又はこれ等のシリサイド等にて形成されたバリアメタル層(80)から成るソース電極(7)・ドレイン電極(8)と、上記バリアメタル層(80)の一部を露出させた状態で着膜されたポリイミド製の層間絶縁膜(90)と、この層間絶縁膜(90)の露出部を介し上記バリアメタル層(80)に接続させて設けられたアルミニウム製の第二信号配線(91)と、これ等全体を被覆するSiO<sub>2</sub>製のパシベーション膜(92)とでその主要部

ライエッチング法によりレジストから露出する積層膜(31)を除去して、第3図(C)に示すような基板側配線基部(2)と積層配線部(3)とで構成されるゲート電極並びに第一信号配線が形成できるものである。

尚、これ等ゲート電極と第一信号配線以外の各構成部材は従来と同様の方法により形成されている。すなわち、上記ゲート電極と第一信号配線を形成した後、ゲート絶縁膜用のSi<sub>3</sub>N<sub>4</sub>、第一半導体層用のアモルファスシリコン(a-Si:H)、及び、トップ絶縁膜用のSi<sub>3</sub>N<sub>4</sub>を順次PCVD法により連続的に着膜し、かつ、上記トップ絶縁膜用のSi<sub>3</sub>N<sub>4</sub>をウェットエッチング法によりパターンニングする。

次いで、この面上にソース電極・ドレイン電極形成用のn<sup>+</sup>-アモルファスシリコンとCr、Mo、Ti、Ta、W又はこれ等のシリサイドを順次PCVD法とスパッタリング法により着膜し、かつ、これ等をウェットエッチング法によりパターンニングした後、層間絶縁膜形成用のポリイミドを着膜する。

更に、エッチング処理によりその一部を除去し、この面上に第二信号配線形成用のアルミニウムをスパッタリング法により着膜し、かつ、ウェットエッチング法によりパターニングした後、その全面にパシベーション膜形成用の  $\text{SiO}_2$  を着膜してこの薄膜トランジスタは製造されている。

このように構成された実施例に係る薄膜トランジスタは、従来のトランジスタと同様、ソース電極(7)・ドレイン電極(8)間にドレイン電圧( $V_D$ )を印加し、かつ、ゲート電極(20)にゲート電圧( $V_G$ )を印加することで第一半導体層(5)にチャンネルが形成されてON状態として作用する一方、ゲート電圧( $V_G$ )を下げていくに従い上記チャンネルが形成されなくなってOFF状態として作用するものである。

そして、この実施例に係る薄膜トランジスタにおいては、上記ゲート電極(20)並びに第一信号配線(30)が300ÅのTaMo合金製基板側配線基部(2)と、この基板側配線基部(2)上に積層された700Åのタンタル製積層配線部(3)とで構

成されており、基板側配線基部(2)上に積層された積層配線部(3)が基板側配線基部(2)であるTaMo合金(TaMo)の体心立方格子構造を受け継いで成長をし、低抵抗の低い $\alpha$ -タンタルで構成されることとなるため、ゲート電極(20)並びに第一信号配線(30)の導電率がその膜厚1000Å当たり3 $\Omega/\square$ となり、従来の $\beta$ -タンタルの20 $\Omega/\square$ に較べて著しく低くなっている。

従って、この実施例に係る薄膜トランジスタにおいては、飛躍的な動作スピードの高速化が図れる利点を有している。

尚、この実施例においてはチャンネル形成用の第一半導体層(5)がアモルファスシリコン(a-Si:H)により構成された薄膜トランジスタに適用されているが、第一配線部材として高融点のタンタルが使用されていることから、上記第一半導体層(5)がポリシリコンにより構成された薄膜トランジスタに適用することも可能である。

#### ◎第二実施例

この基板側配線基部(2)上に積層された厚さ700Åのタンタル製積層配線部(3)とで構成されている。

そして、この実施例に係る薄膜トランジスタにおいても、上記ソース電極(7)・ドレイン電極(8)及び第一信号配線が、300ÅのTaMo合金製基板側配線基部(2)と、この基板側配線基部(2)上に積層された700Åのタンタル製積層配線部(3)とで構成されているため、基板側配線基部(2)上に積層された積層配線部(3)が基板側配線基部(2)であるTaMo合金(TaMo)の体心立方格子構造を受け継いで成長をし、低抵抗の低い $\alpha$ -タンタルで構成されることとなり、上記ソース電極(7)・ドレイン電極(8)及び第一信号配線の導電率がその膜厚1000Å当たり3 $\Omega/\square$ と著しく低くなっている。

従って、この実施例に係る薄膜トランジスタにおいても、飛躍的な動作スピードの高速化が図れる利点を有している。

この実施例は請求項1に係る発明を「スタガー型」の薄膜トランジスタに適用したもので、第4図に示すようにガラス基板(1)と、このガラス基板(1)上に面接触させて設けられたソース電極(7)・ドレイン電極(8)及び第一信号配線(図示せず)と、上記ソース電極(7)・ドレイン電極(8)の一部を構成するオーミックコンタクト用の $n^+$ -アモルファスシリコン製第二半導体層(70)と、上記ソース電極(7)・ドレイン電極(8)とこれ等間のガラス基板(1)上に形成されたアモルファスシリコン(a-Si:H)製の第一半導体層(5)と、この第一半導体層(5)表面を被覆する $\text{Si}_3\text{N}_4$ 製の絶縁膜(4)と、この絶縁膜(4)上に設けられたアルミニウム製のゲート電極(20)と、この表面を被覆する $\text{SiO}_2$ 製のパシベーション膜(92)とでその主要部が構成されているものである。

また、上記ソース電極(7)・ドレイン電極(8)及び第一信号配線は、第一実施例と同様、厚さ300ÅのTaMo合金製基板側配線基部(2)と、

## ③第三実施例

この実施例は請求項2に係る発明を『逆スタガー型』の薄膜トランジスタに適用したもので、第5図～第7図に示すように複数の薄膜トランジスタ(T)群と、アクティブマトリクス配線回路(M)とを具備しているものである。

すなわち、上記薄膜トランジスタ(T)群の各々は、ガラス基板(1)と、このガラス基板(1)上に面接触させて設けられたゲート電極(20)及び第一信号配線(30)と、上記ゲート電極(20)を被覆するSi<sub>3</sub>N<sub>4</sub>製のゲート絶縁膜(4)と、このゲート絶縁膜(4)上に形成されたアモルファスシリコン(a-Si:H)製の第一半導体層(5)と、この第一半導体層(5)上のゲート電極(20)に相当する部位に設けられたSi<sub>3</sub>N<sub>4</sub>製のトップ絶縁膜(6)と、上記第一半導体層(5)上に設けられオーミックコンタクト用のn<sup>+</sup>-アモルファスシリコン製第二半導体層(70)とこの第二半導体層(70)上に設けられCr、Mo、Ti、Ta、W又はこれ等のシリサイド等にて形成されたバリア

(30)の最上覆層配線部(36)と一体的に形成された厚さ1000Åのタンタル(Ta)にて構成されており、第8図～第9図に示す製造工程に従って各々形成されているものである。

すなわち、ガラス基板(1)面上に、体心立方格子構造を有しかつα-タンタルとその格子定数が近似するタンタルモリブデン合金(TaMo)をスパッタリング法により300Å程度一様に着膜し、かつ、連続してスパッタリング法により1700Å程度のタンタル(Ta)を着膜すると、このタンタルは上記タンタルモリブデン合金(TaMo)の体心立方格子構造を受け継いで成長をし、タンタルモリブデン合金(TaMo)とα-タンタル(α)の複層膜となる。次に、この複層膜をC、F、+O<sub>2</sub>系のエッチングガスを用いたドライエッチング法によりエッチングし、第8図(A)～(B)に示すような第一信号配線基部(30')を形成する。

次いで、これ等面上に再度スパッタリング法により1000Å程度のタンタル(Ta)を一様に着膜し、かつ、同様のエッチング処理を施して、第9図

メタル層(80)から成るソース電極(7)・ドレイン電極(8)と、上記バリアメタル層(80)の一部を露出させた状態で着膜されたポリイミド製の層間絶縁膜(90)と、この層間絶縁膜(90)の露出部を介し上記バリアメタル層(80)に接続させて設けられたアルミニウム製の第二信号配線(91)と、これ等全体を被覆するSiO<sub>2</sub>製のパシベーション膜(92)とでその主要部が構成されているものである。

また、上記アクティブマトリクス配線回路(M)の一部を構成する第一信号配線(30)は、第7図(B)に示すように厚さ300Åのタンタルモリブデン合金(TaMo)製基板側配線基部(2)と、この基板側配線基部(2)上に覆層された厚さ1700Åのタンタル(Ta)製中間覆層配線部(35)と、この中間覆層配線部(35)上に覆層された厚さ1000Åのタンタル(Ta)製最上覆層配線部(36)とで構成されており、一方、上記ゲート電極(20)は、第7図(A)に示すようにガラス基板(1)面上に直接着膜され、上記第一信号配線

(A)～(B)に示すように300Åのタンタルモリブデン合金(TaMo)製基板側配線基部(2)と、この基板側配線基部(2)上に覆層された厚さ1700Åのタンタル(Ta)製中間覆層配線部(35)と、この中間覆層配線部(35)上に覆層された厚さ1000Åのタンタル(Ta)製最上覆層配線部(36)とで構成された第一信号配線(30)と、上記最上覆層配線部(36)と一体的に形成された厚さ1000Åのタンタル(Ta)にて構成されたゲート電極(20)が形成される。尚、これ等ゲート電極と第一信号配線以外の各構成部材については、第一実施例と同様な方法により形成されている。

そして、この実施例に係る薄膜トランジスタにおいては、上記第一信号配線(30)が300Åのタンタルモリブデン合金(TaMo)製基板側配線基部(2)と、この基板側配線基部(2)上に覆層された1700Åのタンタル(Ta)製中間覆層配線部(35)と、この中間覆層配線部(35)上に覆層された1000Åのタンタル(Ta)製最上覆層配線部(36)とで構成されており、基板側配線基部(

2) 上に積層された中間積層配線部(35)が基板側配線基部(2)であるTaMo合金(TaMo)の体心立方格子構造を受け継いで成長をし、抵抗値の低い $\alpha$ -タンタルで構成されることとなり、かつ、上記中間積層配線部(35)上に積層された最上積層配線部(36)も抵抗値の低い $\alpha$ -タンタルで構成されることとなるため、上記第一信号配線(30)の導電率がそのシート抵抗に換算して1 $\Omega$ /□以下と著しく低くなっている。

従って、ゲート電極(20)が抵抗値の高い $\beta$ -タンタルで構成されているにも拘らず、この実施例に係る薄膜トランジスタにおいては、第一実施例〜第二実施例に係る薄膜トランジスタに較べて更に動作スピードの高速化が図れる利点を有している。

また、この実施例に係る薄膜トランジスタにおいては、そのゲート電極(20)がタンタル単一層で構成されるためその薄膜化が図れ、従って、ゲートドレイン間のブレイクダウンを防止できる利点を有している。

記基板側配線基部の体心立方格子構造を受け継いで成長をし、抵抗値の低い体心立方格子構造を有する $\alpha$ -タンタルで構成されることとなるため、上記絶縁性基板上に面接触されて設けられた第一配線部材の導電率を向上させることが可能となり、

また、請求項2に係る発明によれば、

アクティブマトリクス配線回路の第一信号配線を、

体心立方格子構造を有し、かつ、 $\alpha$ -タンタルとその格子定数が同一又は近似の導電性材料により形成された薄膜の基板側配線基部と、

この基板側配線基部上に積層されたタンタルにより形成された中間積層配線部と、

この中間積層配線部上に積層されたタンタルにより形成された最上積層配線部、とで構成する一方、

上記薄膜半導体素子の基板側電極を、

第一信号配線の最上積層配線部と一体的に形成されたタンタルの単一薄膜で構成しており、

基板側配線基部上に積層された第一信号配線の

更に、上記第一信号配線(30)が、基板側配線基部(2)と中間積層配線部(35)と最上積層配線部(36)の三層で構成されその膜厚が大きくなっているため、ゲート絶縁膜(4)と同時に形成されているSi<sub>3</sub>N<sub>4</sub>製の絶縁膜にエッチング処理を施して露出部を形成する際、このSi<sub>3</sub>N<sub>4</sub>とタンタルのエッチング選択比が小さく第一信号配線部(30)が若干エッチングを受けてしまう場合においても穴が開くことがなく、従って歩留りが向上する利点を有している。

(発明の効果)

請求項1に係る発明によれば、

第一配線部材を、

体心立方格子構造を有し、かつ、 $\alpha$ -タンタルとその格子定数が同一又は近似の導電性材料により形成された薄膜の基板側配線基部と、

この基板側配線基部上に積層されたタンタルにより形成された積層配線部、とで構成していることから、

基板側配線基部上に積層された積層配線部が上

中間積層配線部と最上積層配線部とが、上記基板側配線基部の体心立方格子構造を受け継いで成長をし、抵抗値の低い体心立方格子構造を有する $\alpha$ -タンタルで構成されることとなり、かつ、中間積層配線部と最上積層配線部とで構成される分その厚みも増すため、上記アクティブマトリクス配線回路における第一信号配線の導電率をより向上させることが可能となる。

従って、薄膜半導体装置における動作スピードの高速化が図れる効果を有している。

#### 4. 図面の簡単な説明

第1図〜第9図は本発明の実施例を示しており、第1図は第一実施例に係る薄膜トランジスタの概略斜視図、第2図は第1図のII-Ⅱ断面面図、第3図(A)〜(C)はこの薄膜トランジスタのゲート電極と第一信号配線の形成工程を示す工程説明図、第4図は第二実施例に係る薄膜トランジスタの概略断面図、第5図は第三実施例に係る薄膜トランジスタの概略斜視図、第6図はその平面図、第7図は第5図のVI-VI断面面図を示し、第7図



(A) は薄膜トランジスタの断面図、第7図 (B) はそのアクティブマトリックス配線回路の断面図であり、また、第8図～第9図はこの薄膜トランジスタのゲート電極と第一信号配線の形成工程を示す工程説明図で、第8図 (A) は第一信号配線の基板側配線基部と中間積層配線部が形成された状態の断面図、第8図 (B) はその平面図、第9図 (A) はゲート電極と第一信号配線が形成された状態の断面図、第9図 (B) はその平面図を示し、また、第10図～第13図は従来における薄膜半導体装置を示しており、第10図及び第12図はMOS型の薄膜トランジスタの概略斜視図、第11図は第10図のX I - X I 面断面図、第13図は第12図のX II - X II 面断面図をそれぞれ示す。

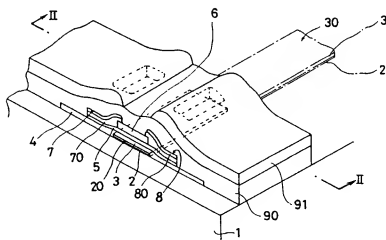
(符号説明)

- (1) …ガラス基板
- (2) …基板側配線基部
- (3) …積層配線部
- (5) …第一半導体層
- (20) …ゲート電極

- (30) …第一信号配線
- (35) …中間積層配線部
- (36) …最上積層配線部

特 許 出 願 人 富士ゼロックス株式会社  
代 理 人 弁 理 士 中 村 智 廣 (外 2 名)

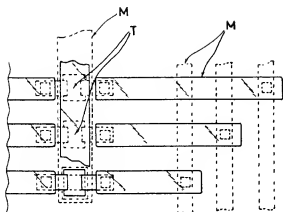
第 1 図



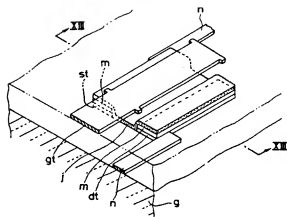
- 1: ガラス基板
- 2: 基板側配線基部
- 3: 積層配線部
- 5: 第一半導体層
- 20: ゲート電極
- 30: 第一信号配線



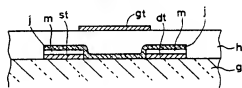
第 6 図



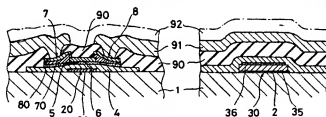
第 12 図



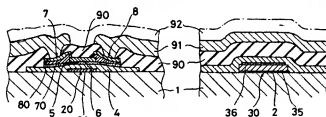
第 13 図



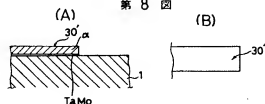
(A) 第 7 図



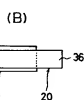
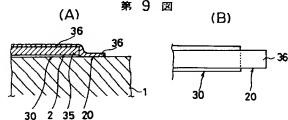
(B) 35 : 中間補層配線部  
36 : 最上補層配線部



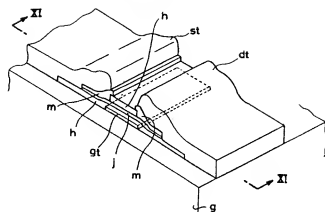
第 8 図



第 9 図



第 10 図



第 11 図

